

法政大学学術機関リポジトリ  
HOSEI UNIVERSITY REPOSITORY

# RFマグネトロンスパッタ法により形成した $\text{Al}_{203}$ 添加 $\text{CeO}_2$ 薄膜の電気特性

著者	小西 順也
出版者	法政大学大学院理工学・工学研究科
雑誌名	法政大学大学院紀要．理工学・工学研究科編
巻	58
発行年	2017-03-31
URL	<a href="http://hdl.handle.net/10114/13528">http://hdl.handle.net/10114/13528</a>

# RF マグネトロンスパッタ法により形成した $\text{Al}_2\text{O}_3$ 添加 $\text{CeO}_2$ 薄膜の電気特性

## ELECTRICAL PROPERTIES OF $\text{Al}_2\text{O}_3$ INCORPORATED $\text{CeO}_2$ THIN FILMS DEPOSITED BY RF MAGNETRON SPUTTERING

小西 順也

Junya KONISHI

指導教員 山本康博 教授

法政大学大学院理工学研究科電気電子工学専攻修士課程

The  $\text{Al}_2\text{O}_3$  incorporated  $\text{CeO}_2$  thin films ( $\text{Al}_2\text{O}_3$  molar fraction of 0.0 to 0.6) were prepared using the RF magnetron sputtering apparatus with the combinatorial mask system having two targets of  $\text{Al}_2\text{O}_3$  and  $\text{CeO}_2$  in  $\text{Ar} + 10\% \text{O}_2$ . The combinatorial composition spread sample was divided into two pieces, one for  $\text{N}_2$  annealing and the other for  $\text{O}_2$  annealing. Both pieces were annealed at  $500^\circ\text{C}$  for 30 minutes. The minimum leakage current density of  $1.6 \times 10^{-8} \text{ A/cm}^2$  at the electric field of  $-1 \text{ MV/cm}$  was obtained for the  $\text{N}_2$  annealed sample with the  $\text{Al}_2\text{O}_3$  incorporation with the molar fraction of 0.2. The obtained value was lower than that of the film without  $\text{Al}_2\text{O}_3$  incorporation by two orders of magnitude.

**Key Words** : sputtering,  $\text{CeO}_2$ ,  $\text{Al}_2\text{O}_3$ , high-k, C-V, I-V

### 1. はじめに

近年、更なる MOS デバイスの高性能化により、 $\text{SiO}_2$  ゲート絶縁膜の薄膜化が進み、絶縁膜間を通過するリーク電流の増大が問題となっている。そこで新たな代替材料として  $\text{Al}_2\text{O}_3$  や  $\text{HfO}_2$  や  $\text{La}_2\text{O}_3$  のような高誘電率(high-k)材料への期待が高まっている[1]- [5]。  $\text{CeO}_2$  は、26 と  $\text{SiO}_2$  の 3.9 と比較して高い比誘電率、化学的安定性、Si との格子不整合は 0.35 と小さく Si 基板との界面に結晶欠陥が少ないといった特徴を持つ有望な材料の 1 つである。様々な堆積技術の中でも、LSI 製造にはスパッタ堆積が広く用いられている。しかしながら、 $\text{CeO}_2$  は、スパッタリングによる室温堆積において多結晶化する[6]- [8]。そのため、膜中の結晶粒界がパスとなってリーク電流の増大に繋がることが懸念される。さらに、膜中の結晶粒界は LSI 製造過程における微細加工において大きな問題を引き起こす可能性がある[9]- [10]。

過去の研究では、六方晶構造を有する  $\text{Al}_2\text{O}_3$  を  $\text{CeO}_2$  膜に 0.1 モル添加することで多結晶化を抑制に成功した。これは、 $\text{CeO}_2$  の蛍石構造とは異なる結晶構造を有する結晶を混ぜることで結晶化を防ぐ[11]という考えに基づいて行った。  $\text{Ce-Al-O}$  三元系は、様々な相を有することが知られており、触媒[12]および強誘電体としての応用[13]について広く研究されている。しかし、電子デバイスの high-k 誘電体に関しては、結晶構造とその電気的特性と

の関係は完全には理解されていない[14]。

本研究では、コンビナトリアルスパッタリング法[15]を用い  $\text{CeO}_2$  薄膜にモル分率 0~0.6 の  $\text{Al}_2\text{O}_3$  を添加した試料を作製し、その電気的特性を I-V、C-V 測定を行い調査した。

### 2. 実験

p-type(100)Si 基板上にコンビナトリアルスパッタ法を用いてモル分率 0~0.6 の  $\text{Al}_2\text{O}_3$  を添加した  $\text{Al}_2\text{O}_3$ - $\text{CeO}_2$  薄膜を作製した。堆積条件を表 1 に、本研究に用いたコンビナトリアルスパッタ装置の堆積方法の概略図を図 1 にそれぞれ示す。実験では図 1 に示すように Step1 で  $\text{CeO}_2$  層 0.16nm 成膜し、Step2 でマスクをスライドさせながら膜厚傾斜  $\text{CeO}_2$  層を形成、Step3 で基板を  $180^\circ$ 回転させ、マスクをスライドさせながら膜厚傾斜  $\text{Al}_2\text{O}_3$  層を形成する。この Step1~Step3 までの 0.4 nm の 1 サイクルの成膜を 80 回繰り返し、合計で 32nm の膜を堆積した。堆積後、窒素、酸素それぞれの雰囲気中で  $500^\circ\text{C}$ 、30 分間アニールを行った試料を用意した。アニール後、Pt ドット電極を膜表面に直径  $100\mu\text{m}$  の穴の開いたマスクを用い、スパッタ法で形成した。その後、I-V、C-V 特性を Keithley 4200 semiconductor characterization system と Keithley 590 C-V analyzer を使い測定した。C-V 特性は周波数 1 MHz で行った。

表 1 堆積条件

Target	Al <sub>2</sub> O <sub>3</sub> (50.8 mm $\phi$ × 1 mm t) CeO <sub>2</sub> (50.8 mm $\phi$ × 4 mm t)
Substrate	p-Si (1-10 $\Omega$ cm)
Background	< 2 × 10 <sup>-5</sup> Pa
Pressure	0.5 Pa
Gas flow	Ar 45 sccm (90%) O <sub>2</sub> 5 sccm (10%)
RF power/	Al <sub>2</sub> O <sub>3</sub> : RF 200 W / 0.00216 nm/s
Deposition rate	CeO <sub>2</sub> : RF 150 W / 0.00631 nm/s
Temperature	R.T.

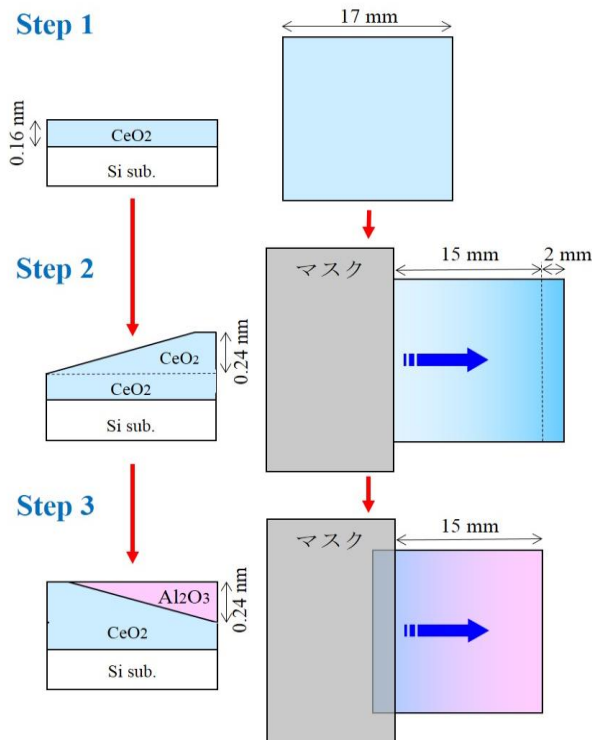


図 1 2 元コンビナトリアルスパッタ法概略図

### 3. 結果と考察

#### (1) I-V 特性

図 2 に Al<sub>2</sub>O<sub>3</sub> をモル分率として (a) 0~0.1, (b) 0.2~0.6 組み込まれ、N<sub>2</sub> 雰囲気中でアニールした試料の I-V 特性を示す。リーク電流密度は Al<sub>2</sub>O<sub>3</sub> のモル分率 0~0.2 まで増加すると減少し、その後更に Al<sub>2</sub>O<sub>3</sub> のモル分率 0.6 まで増えると増加する。図 2 の (a) においては、バイアス電圧の増加とともに単調にそれぞれのカーブの傾きが減少している。このことから、Al<sub>2</sub>O<sub>3</sub> のモル分率 0~0.1 までの間の電流機構は単純なショットキータイプの機構であると考えられる。図 2 の (b) では、-4 ~ -3 MV/cm と -3 ~ -2 MV/cm で傾きが変わっており、Al<sub>2</sub>O<sub>3</sub> のモル分率が増えるにつれてその傾きが低電圧側にシフトした。更に Al<sub>2</sub>O<sub>3</sub> のモル分率が 0.5, 0.6 の時、新たに別の傾きの変化が現れた。これは、プールフレネル等の他の様々な電流機構が同時に現れたと考えられる。

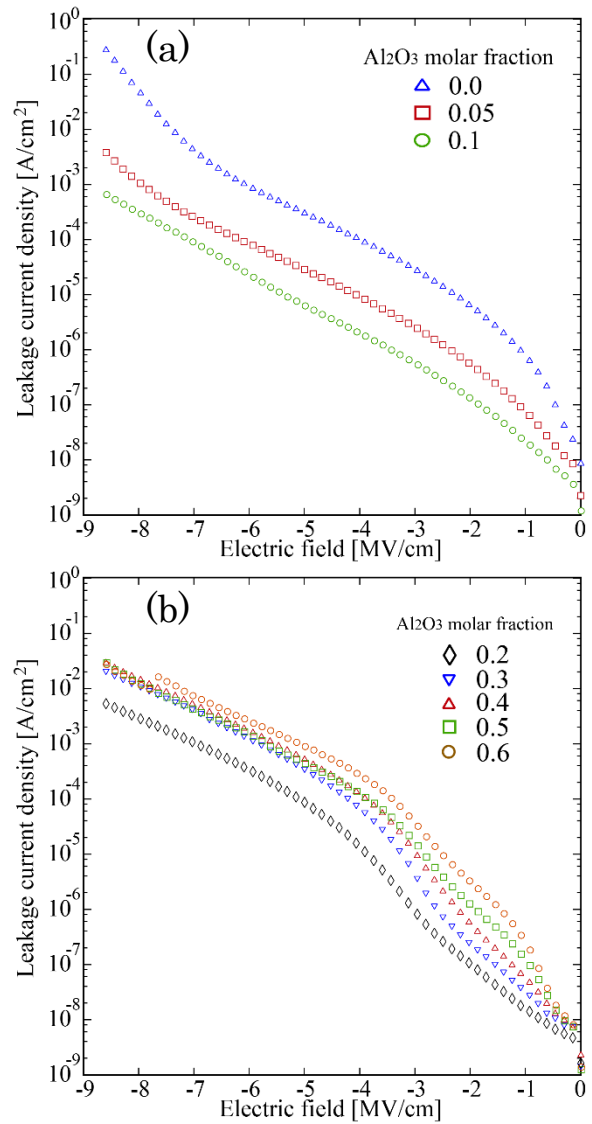


図 2 I-V 特性

#### (2) Al<sub>2</sub>O<sub>3</sub> のモル分率に対する電界-1MV/cm での I-V 特性比較(N<sub>2</sub>, O<sub>2</sub>)

図 3 に電界-1MV/cm での窒素、酸素それぞれの雰囲気中でアニールした試料の Al<sub>2</sub>O<sub>3</sub> のモル分率に対するリーク電流密度を示す。リーク電流密度は窒素アニールした試料では  $1.6 \times 10^{-8}$  A/cm<sup>2</sup>、酸素アニールした試料では  $9.1 \times 10^{-8}$  A/cm<sup>2</sup> まで一旦減少した。リーク電流密度の減少には窒素アニールより酸素アニールの方が効果的であることが知られている。しかしながら、Al<sub>2</sub>O<sub>3</sub> 添加された時、リーク電流密度は酸素アニールした試料の方が窒素アニールした試料より低かった。

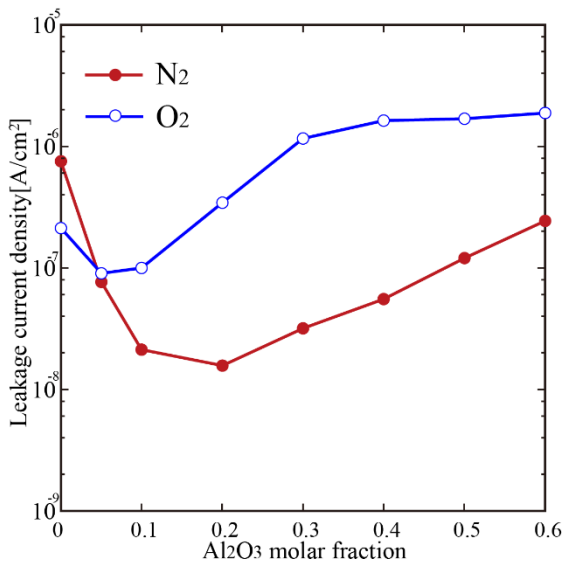


図3 電界-1MV/cmでの $\text{Al}_2\text{O}_3$ のモル分率に対するリーク電流密度の比較( $\text{N}_2$ ,  $\text{O}_2$ )

### (3) 比誘電率と固定電荷密度

図4にC-V特性から導き出した窒素、酸素それぞれの雰囲気中でアニールした試料の比誘電率と固定電荷密度を示す。比誘電率はアニールの雰囲気によらず、 $\text{Al}_2\text{O}_3$ のモル分率が0~0.15に増加すると減少し、0.15~0.6の間では約6と一定となった。固定電荷密度はアニールの雰囲気によらず、 $\text{Al}_2\text{O}_3$ のモル分率が0.15まで増加した時、約 $1.5 \times 10^{12} \text{ cm}^{-2}$ まで減少し、0.15を超えると $\text{Al}_2\text{O}_3$ のモル分率が増えるに従って、徐々に増加した。

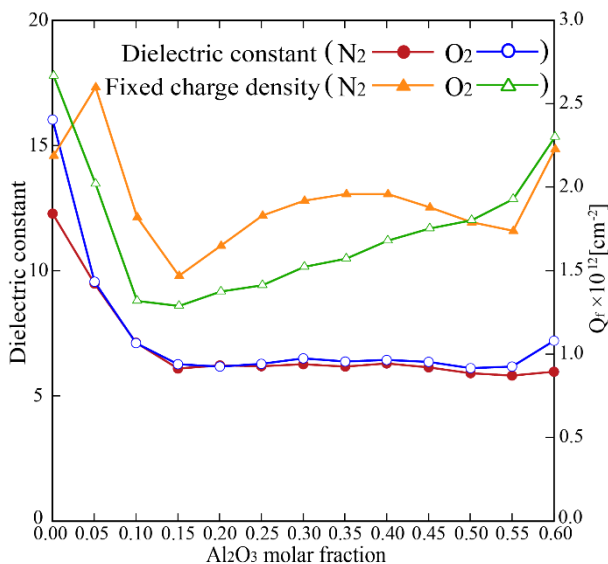


図4 比誘電率と固定電荷密度( $\text{N}_2$ ,  $\text{O}_2$ )

(1)~(3)の結果から、 $\text{Al}_2\text{O}_3$ のモル分率0~0.15までは膜中に $\text{Al}_2\text{O}_3$ と $\text{CeO}_2$ の相がそれぞれ独立に存在し、0.15を超えるとCe-Al-O三元系の相になっていると考えられる。そのため、 $\text{Al}_2\text{O}_3$ のモル分率0~0.15までは $\text{CeO}_2$ のバンドギャップ(約3.4eV)に $\text{Al}_2\text{O}_3$ のバンドギャップ(約8.7eV)

が加えられバリアハイトが高くなり、リーク電流密度が減少し誘電率も低くなると考えられる。そして、 $\text{Al}_2\text{O}_3$ のモル分率が0.15を超えると、その相はリーク電流が徐々に増加し、酸素アニールした試料の方が窒素アニールしたものよりも1桁ほど大きく、固定電荷密度は酸素アニールした試料の方が小さい。これは酸素アニールした試料の方がCe-Al-O三元系の相を形成し易く、その相はバンドギャップ、誘電率がともに低いと考えられる。

## 4. 結論

コンビナトリアルスパッタ法を用いて、 $\text{CeO}_2$ 薄膜中に $\text{Al}_2\text{O}_3$ モル分率0~0.6まで加えた二元の試料を作製した。I-V特性から500°C、30分間窒素アニールした試料では、 $\text{Al}_2\text{O}_3$ のモル分率0.2の時にリーク電流密度が $1.6 \times 10^{-8} \text{ A/cm}^2$ まで減少し、 $\text{Al}_2\text{O}_3$ を添加しなかった時と比較して約2桁減少した。その後 $\text{Al}_2\text{O}_3$ のモル分率が増加するにつれて、リーク電流密度は徐々に増加した。比誘電率はアニールの雰囲気によらず、 $\text{Al}_2\text{O}_3$ のモル分率が0~0.15に増加すると減少し、0.15~0.6の間では約6と一定となった。固定電荷密度はアニールの雰囲気によらず、 $\text{Al}_2\text{O}_3$ のモル分率が0.15まで増加した時、約 $1.5 \times 10^{12} \text{ cm}^{-2}$ まで減少し、0.15を超えると $\text{Al}_2\text{O}_3$ のモル分率が増えるに従って、徐々に増加した。これらの結果から $\text{Al}_2\text{O}_3$ のモル分率0~0.15までは膜中に $\text{Al}_2\text{O}_3$ と $\text{CeO}_2$ の相がそれぞれ独立に存在し、0.15を超えるとCe-Al-O三元系の相になっていると考えられる。

## 謝辞

本研究に当たりご指導ご鞭撻を賜りました山本康博教授を始め、ご協力や助言をいただきました株式会社コメントの鈴木撰様、石橋啓次様、李成奇、高橋健一郎、精密分析室の原田義之様に深く感謝いたします。また、研究グループの後藤達哉氏、田村拓也氏、于曉玉氏をはじめとして山本研究室の皆様にも研究活動、私生活の両面にわたりお世話になりました。心より御礼申し上げます。ここに書ききれなかった方々を含めまして、私の学生生活を支えて下さったすべての方々から感謝の気持ちと御礼を申し上げまして、謝辞とさせていただきます。

## 参考文献

- 1) Wei Wang, Ning Gu, J. P. Sun and P. Mazumder, Solid-State Electronics, 50, 1489-1494 (2006).
- 2) Dedong Han, Jinfeng Kang, Changhai Lin and Ruqi Han, Microelectronis Engineering, 66, 643-647 (2003).
- 3) M. Suzuki, Materials 2012 5(3), 443 (2012)
- 4) T. Ando, Materials 2012 5(3), 478 (2012).
- 5) S. Dueñas, H. Castán, H. García, and L. Bailón, Dielectric Material, edited by M. A. Silaghi pp. 213-250 (InTech, 2012).

- 6) H. Y. Lee, S. I. Kim, Y. P. Hong, Y. C. Lee, Y. H. Park, and K. H. Ko, *Surface and Coatings Technology* 173, 224 (2003).
- 7) H. Y. Lee, Y. C. Lee, Y. P. Hong, and K. H. Ko, *Applied Surface Science* 228, 164 (2004).
- 8) N. Yamada, Y. Oyama, T. Higuchi, and S. Yamaguchi, *Solid State Ionics* 172, 293 (2004).
- 9) Y. Wang, F. Wei, S. Yue, Z. Yang, and J. Du, *Appl. Phys. Lett.* 92, 012915 (2008).
- 10) Y. Nishikawa, N. Fukushima, N. Yasuda, K. Nakayama, and S. Ikegawa, *Jap. J. Appl. Phys.* 41, 2480 (2002).
- 11) M. Triki, Z. Ksibi, A. Ghorbel, and F. Medina, *J. Sol-Gel Sci. Technol.* 59, 1 (2011).
- 12) A. Abrutis, M. Lukosius, M. Skapas, S. Stanionyte, V. Kubilius, Ch. Wenger, and A. Zauner, *Thin Solid Films* 536, 68 (2013).
- 13) L. yan, L. B. kong, Q. Li, and C. K. Ong, *Semiconductor Science and Technology* 18, L39 (2003).
- 14) H. Y. Yu, M. F. Li, B. J. Cho, C. C. Yeo, M. S. Joo, D. L. Kwong, J. S. Pan, C. H. Ang, J. Z. Zheng, and S. Ramanathan, *Appl. Phys. Lett.* 81, 376 (2002).
- 15) M. L. Green, K.-S. Chang, S. DeGendt, T. Schram and J. Hatrick-Simpers, *Microelectronic Engineering*, 84, 2209–2212 (2007).